

JP11026394/pn

L8 ANSWER 1 OF 1 JAPIO COPYRIGHT 2000 JPO
ACCESSION NUMBER: 1999-026394 JAPIO
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
INVENTOR: MATSUI YOSHITAKA
PATENT ASSIGNEE(S): TOSHIBA CORP, JP (CO 000307)
PATENT INFORMATION:

PATENT NO	KIND	DATE	ERA	MAIN IPC
JP 11026394		A19990129	Heisei	(6) H01L021-28

JP

APPLICATION INFORMATION

ST19N FORMAT: JP1997-182635 19970708
ORIGINAL: JP09182635 Heisei
SOURCE: PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined
Applications, Vol. 99, No. 1

INT. PATENT CLASSIF.:

MAIN: (6) H01L021-28
SECONDARY: (6) C25D007-12; (6) H01L021-3205

ABSTRACT:

PURPOSE: TO BE SOLVED: To form in a short period of time a metal wiring having a cross-sectional area durable to a large current, by carrying out preprocessing for covering the surface of a conductive material with iodine and then forming a metal film by electroplating.

CONSTITUTION: r a SiO₂ film is formed on a semiconductor substrate 1, a SiO₂ film 3 having a thickness of 1 . μ m is formed by a plasma enhanced CVD method. After a wiring groove 5 having a depth of 0.8 . μ m for determining the shape of a buried wiring is formed by a RIE method, a barrier metal 6 of a W film is formed on the entire surface by a sputtering method. In addition, after a Cu thin film having a thickness of tens of nm is deposited as a seed metal, iodine having a thickness of several atomic layers is evaporated as preprocessing for Cu plating. Then, using a plating solution made of CuSO₄ having a mol concentration of 5 mM and under normal plating conditions, a Cu metal film 7 having a thickness of 1.0 . μ m is formed. After that, the metal film 7 except for the metal film in the wiring groove 5 is removed by a CMP method. Thus, a highly pure and fine metal buried wiring having a predetermined pattern can be obtained.

(19) 日本国特許庁 (J P)

公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 6 3 9 4

(43) 公開日 平成 1 1 年 (1 9 9 9) 1 月 2 9 日

(51) Int. Cl. ⁶
H01L 21/28
C25D 7/12
H01L 21/3205

識別記号 庁内整理番号

F I
H01L 21/28
C25D 7/12
H01L 21/88

技術表示箇所

A

B

審査請求 未請求 請求項の数 1 2 O L (全 1 0 頁)

(21) 出願番号 特願平 9 - 1 8 2 6 3 5

(22) 出願日 平成 9 年 (1 9 9 7) 7 月 8 日

(71) 出願人 0 0 0 0 0 3 0 7 8

株式会社東芝

神奈川県川崎市幸区堀川町 7 2 番地

(72) 発明者 松井 嘉孝

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝多摩川工場内

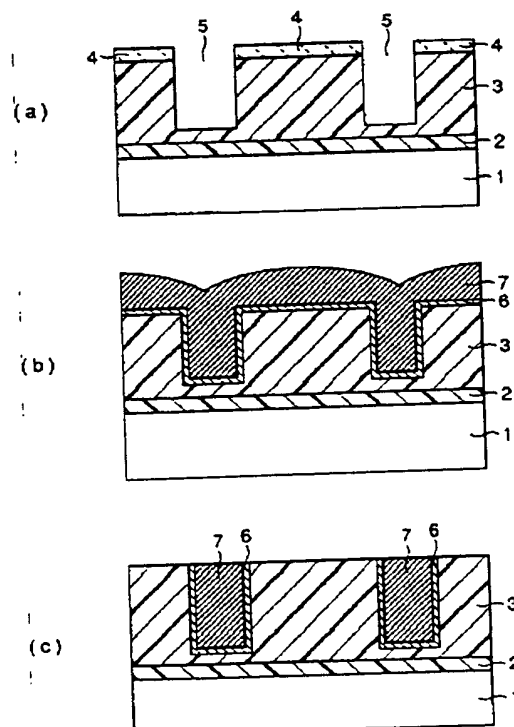
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 メッキ法を用いて基板上に設けた配線溝に空洞を生じることなく膜質の優れた金属膜を埋め込むことができる配線及び電極等の形成方法を提供する。

【解決手段】 配線溝の内壁を被覆するバリヤメタル上のシードメタルを陰極として用い、あらかじめ沃素被着層を陰極面に形成した後、配線材料となる金属膜のメッキを行えば、前記陰極上に高純度でかつ緻密な金属膜を形成することができる。この方法を用いれば、配線溝に埋め込まれた金属中に空洞を生じないので、空洞にメッキ液が取り込まれ配線の腐食の原因となる恐れがない。また前記よう素被着層の存在により大気放置下における配線の劣化が防止され、信頼性の高い埋め込み金属配線を得ることができる。この方法は断面積の大きい電力用半導体装置の埋め込み金属配線のほか、半導体集積回路の微細配線、コンタクトホールプラグ、低抵抗なトランジスタの電極の形成等に应用することができる。



【特許請求の範囲】

【請求項1】 導電性材料の表面上に電気メッキにより金属膜を形成する工程を含む半導体装置の製造方法において、

導電性材料の表面をあらかじめよう素で被覆する前処理を行った後、電気メッキにより前記導電性材料表面上に金属膜を形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記導電性材料は、蒸着法、スパッタ法、及びCVD法のいずれかを用いて半導体基板に形成されたものであり、前記導電性材料の表面をよう素で被覆する前処理は、前記蒸着法、スパッタ法、及びCVD法のいずれかに用いたチャンバーを、前記導電性材料の形成に引き続き真空状態として、よう素を蒸着するものであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記導電性材料は、蒸着法、スパッタ法、及びCVD法のいずれかを用いて半導体基板に形成されたものであり、前記導電性材料の表面をよう素で被覆する前処理は、大気開放により前記導電性材料の表面に生じた表面酸化物をエッチング液に浸漬除去した後、この表面酸化物が除去された導電性材料の表面を大気開放することなく、前記エッチング液をよう素を含む薬液に置換するものであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記よう素を含む薬液は、モル濃度が1 μ M乃至1MのKI溶液及びHI溶液のいずれかであることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記電気メッキに用いるメッキ液は、CuSO₄溶液及びAgClO₄溶液のいずれかであることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 半導体基板上に絶縁膜を形成し、前記絶縁膜に溝部を形成し、前記溝部の内部表面と前記絶縁膜の上部表面とをバリヤメタルで被覆し、このバリヤメタルの表面をシードメタルでさらに被覆し、前記シードメタルの表面をよう素で被覆する前処理の後、前記シードメタルを陰極として電気メッキすることにより、前記シードメタルに積層して溝部を埋め込む金属膜を形成し、前記溝部の外に堆積したバリヤメタルとシードメタルと金属膜とを除去することを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板上に絶縁膜を介してバリヤメタルを形成し、このバリヤメタルの表面をシードメタルで被覆し、前記バリヤメタルの表面にレジスト膜を形成し、前記レジスト膜に、前記シードメタルに達する溝状の開

口部を形成して前記開口部の底面に前記シードメタルの表面を露出し、

少なくとも前記シードメタルの表面をよう素で被覆する前処理の後、前記シードメタルを陰極として電気メッキすることにより、前記開口部の底面に露出した前記シードメタルに積層して前記開口部を埋め込む金属膜を形成し、

前記開口部の外に堆積した前記金属膜を除去し、前記レジスト膜及びこのレジスト膜の下部に残留した前記バリヤメタルとシードメタルとをさらに除去することを特徴とする半導体装置の製造方法。

【請求項8】 前記バリヤメタルは、前記半導体基板に直接形成されたものであることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 半導体基板上に第1の絶縁膜を介して第1の金属膜をパターン形成し、前記第1の金属膜がパターン形成された半導体基板上に、第2の絶縁膜を形成し、前記第2の絶縁膜を貫通して前記第1の金属膜に達するコンタクトホールを形成し、前記コンタクトホールの内部と前記第2の絶縁膜の上部表面とをバリヤメタルで被覆し、前記バリヤメタルの表面をシードメタルでさらに被覆し、

前記シードメタルの表面をよう素で被覆する前処理の後、前記シードメタルを陰極として電気メッキすることにより、前記シードメタルに積層して前記コンタクトホールを埋め込む第2の金属膜を形成し、前記溝部の外に堆積した前記バリヤメタルと前記シードメタルと前記第2の金属膜とを除去し、前記コンタクトホールの上部に露出した前記第2の金属膜上に第3の金属膜をパターン形成することを特徴とする半導体装置の製造方法。

【請求項10】 前記第1の金属膜は、前記半導体基板に直接パターン形成されたものであることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 請求項1記載の導電性材料と金属膜、請求項6、7、8のいずれか1つに記載のシードメタルと金属膜、及び請求項9、10に記載のシードメタルと第2の金属膜は、主成分がそれぞれCu、Ag、Pd、Alのいずれか1つからなることを特徴とする半導体装置の製造方法。

【請求項12】 請求項6乃至10のいずれか1つに記載のバリヤメタルはW、WSiN、WN、TiN、TiW、Zr、ZrN、Ta、Ta₂Nのいずれか1つであることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に係り、特に半導体基板上に設けた凹部へのメッキ金

属の埋め込みに使用されるものである。

【0002】

【従来の技術】電力用半導体装置においては、配線の断面積を大きくして大電流における使用に耐えるようにすることが必要であるが、これを従来の蒸着法、スパッタ法、及びCVD法（化学的気相成長法；Chemical Vapor Deposition method）を用いて形成しようとすれば、配線材料が高コストである上、堆積に長時間を要し問題となっていた。また、通常耐熱性が要求されるデバイスでは、例えば高融点材料であるCuとバリヤメタルを組み合わせた、耐熱性に優れた配線材料とすることが望ましいが、これを従来のアニール等の方法で埋め込みしようとすれば埋め込みにさらに長時間を要し、これらの問題を回避するため生め込み性に優れた堆積速度の大きいメッキによる配線等の形成方法が注目されてきた。

【0003】一方半導体装置の微細化に伴い、高密度化に適した微細配線の形成方法として配線溝にメッキ金属を埋め込み、これを表面研磨して平坦化するメッキ金属埋め込み配線が提案されている。またこれらのメッキ金属埋め込み配線は、前記電力用半導体装置の配線としても極めて有用な配線構造となっている。

【0004】メッキ法を用いて金属材料を埋め込む時の問題点は、深い溝や穴の内部でメッキ液の流動性が妨げられ、イオンの拡散も不均一にしか行われないという条件の下では、電気伝導性に優れた緻密でかつ高純度の金属材料を高い再現性で成長させることが難しいことにある。

【0005】図8に基づき、従来のメッキ金属埋め込み配線形成法の問題点について、さらに具体的に説明する。例えばシリコンからなる半導体基板1の上に下地絶縁膜として第1の絶縁層2形成し、引き続き埋め込み配線を形成するための厚い第2の絶縁層3を形成した後、レジストパターン（図示せず）と通常のRIE（活性イオンエッチング：Reactive Ion Etching）法を用いて、所定の位置に配線溝5を図8（a）に示すように形成する。

【0006】通常のO₂プラズマアッシング法を用いて、前記レジストパターン（図示せず）を除去した後、スパッタ法等を用いて前記配線溝5の内部と前記第2の絶縁膜の上部表面を金属電極膜6aで被覆し、引き続き電気メッキ法により前記金属電極膜6aの上に、例えばCuからなる金属膜7を配線材料として形成する。しかしこのようにして配線溝5の内部に金属膜7を形成すれば、金属膜7の内部に不純物としてアニオンやキレート等が取り込まれる。

【0007】図8（a）の円内に、Cu原子7aからなるメッキ層の内部に、メッキ液中のアニオン9が、不純物として取り込まれた状況が示されている。一般に大小にかかわらずアニオン等の不純物が表面の吸着サイトをターミネートし、Cu等のエピタキシャル成長が阻害さ

れば、金属配線材に格子欠陥を生じ結晶の微小化を招く。また不純物等は粒界に蓄積され易く、その結果膜質を低下させ配線抵抗増大の原因となる。

【0008】また、メッキ液中における配線材料の成長速度は、液中のイオン濃度に大きく依存する。微細な穴や溝部では流動や拡散によるメッキ液からのイオンの供給が不十分となり、メッキ液のイオン濃度に局所的な変化を生じる。このようにイオン濃度が不均一なメッキ液から、配線溝5の内部に欠陥を含む金属膜7を成長すれば、その内部表面は図8（a）に示すように、第2の絶縁層3の上部に堆積した表面に比べて凹凸の激しい成長面となる。

【0009】このような状況でメッキ金属膜7の厚さを増加し、図8（b）に示すように配線溝5を埋め込めば、特に前記凹凸面が会合する配線溝5の中央部において、多数の空洞14を発生する。

【0010】従来のメッキ金属による埋め込み配線では、このように不完全な状態で配線溝に金属膜7が埋め込まれ、その後図8（b）の破線と矢印に示すように、CMP（化学機械的研磨：Chemical Mechanical Polish）法を用いて、前記配線溝5の外に形成された金属膜7と前記第2の絶縁膜3の上部表面に堆積した金属電極膜6aとを除去し、メッキ金属埋め込み配線を形成していた。

【0011】以上のべたように、配線溝の中央部に多数の空洞14を含む金属膜7は配線抵抗を増大させると共に、空洞14の中にメッキ液等を取り込んで腐食反応を生じ断線不良の原因となっていた。

【0012】メッキ法により成長した金属膜の凹凸を改善するため、従来メッキ液中に光沢剤と呼ぶ特殊な薬品を添加する方法が知られている。この方法は、メッキ面に対して垂直方向に成長する金属結晶の頂点に前記光沢剤を吸着させて成長を抑制し面内方向への金属膜の成長を促進する作用を用いたものと考えられている。しかし、この方法によれば前記光沢剤又はその分解生成物が金属膜中に不純物として取り込まれ、金属配線の抵抗を大幅に増加させる。

【0013】このように従来のメッキ金属埋め込み配線は、堆積速度が大きくかつ微細配線にも適用可能な配線工程として注目されながら、配線の信頼性が低くかつ設計どうりの低抵抗値が得られないという問題があった。

【0014】

【発明が解決しようとする課題】上記したように従来のメッキ金属埋め込み配線をはじめ、半導体基板上に形成された凹部にメッキ法により金属膜を埋め込む方法には、高純度でかつ空洞等を含まない、電気伝導性に優れた金属材料を高い歩留まりと再現性で前記凹部に埋め込むことができないという問題があった。

【0015】本発明は上記の問題点を解決すべくなされたもので、半導体基板上に大電流に耐える断面積の大き

い金属配線や、従来に比べて耐熱性に優れた金属配線を短時間に形成すること、またこれらの技術を用いて微細配線や能動素子の微細電極、これらを相互に接続するコンタクトホールを埋め込むプラグ等を形成することができる高歩留まり高信頼性のメッキ方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の半導体装置の製造方法は、導電性材料の表面上に電気メッキにより金属膜を形成する工程を含む半導体装置の製造方法において、導電性材料の表面をあらかじめよう素で被覆する前処理を行った後、電気メッキにより前記導電性材料表面上に金属膜を形成することを特徴とする。

【0017】好ましくは前記導電性材料は、蒸着法、スパッタ法、及びCVD法のいずれかを用いて半導体基板上に形成されたものであり、前記導電性材料の表面をよう素で被覆する前処理は、前記導電性材料の形成に引き続き、前記蒸着法、スパッタ法及びCVD法のいずれかに用いたチャンパー内を引き続き真空状態として、前記導電性材料の表面を大気開放することなく、よう素を蒸着するものであることを特徴とする。

【0018】また好ましくは前記よう素を被覆する前処理は、大気開放により前記導電性材料の表面に生じた表面酸化物をエッチング液に浸漬除去した後、この表面酸化物が除去された導電性材料の表面を再び大気開放することなく、前記エッチング液をよう素を含む薬液に置換するものであることを特徴とするまた好ましくは前記よう素を含む薬液は、モル濃度が1 μ M乃至1MのKI溶液及びHI溶液のいずれかであり、前記電気メッキに用いるメッキ液は、CuSO₄溶液及びAgClO₄溶液のいずれかであることを特徴とする。

【0019】このように導電性材料の表面をあらかじめよう素で被覆する前処理を行えば、その上に成長する金属膜の成長表面を平坦化し、半導体基板上に形成された凹部への高純度でかつ緻密な金属膜の埋め込みを行うことができる。

【0020】本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を形成し、この絶縁膜に溝部を形成し、溝部の内部表面と絶縁膜の上部表面とをバリヤメタルで被覆し、このバリヤメタルの表面をシードメタルでさらに被覆し、前記シードメタルの表面をよう素で被覆する前処理の後、シードメタルを陰極として電気メッキすることにより、シードメタルに積層して溝部を埋め込む金属膜を形成し、溝部の外に堆積したバリヤメタルとシードメタルと金属膜とを除去することを特徴とする。

【0021】このようにして半導体基板上に形成された絶縁膜に埋め込まれた金属配線を形成することができる。ここでシードメタルは電気メッキの際、金属膜成長の生長核となるものであり、あらかじめ前記金属膜と同一材料のシードメタルをバリヤメタル上に薄く堆積する

ことにより、前記金属膜のメッキを良好に行うことができる。なおバリヤメタルは前記金属膜の相互拡散を防止し、耐熱性を高めるものである。

【0022】本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を介してバリヤメタルを形成し、このバリヤメタルの表面をシードメタルでさらに被覆し、このシードメタルの表面にレジスト膜を形成し、レジスト膜にシードメタルに達する溝状の開口部を形成して、開口部の底面に前記シードメタルの表面を露出する。少なくともシードメタルの表面をよう素で被覆する前処理の後、シードメタルを陰極として電気メッキすることにより、開口部の底面に露出したシードメタルに積層して前記開口部を埋め込む金属膜を形成し、開口部の外に堆積したシードメタルと金属膜とを除去し、レジスト膜とこのレジスト膜の下部に残留したバリヤメタルをさらに除去することを特徴とする。このとき前記よう素の被覆はレジスト膜の表面や開口部の側面に及んでもとくに問題はない。

【0023】このようにして半導体基板上に形成された絶縁膜上に金属配線や、例えばMOSトランジスタの低抵抗なゲート電極を形成することができる。また前記バリヤメタルは、半導体基板上に直接形成されたものであってもよい。このようにすればMESFETのゲート電極やバイポーラトランジスタのエミッタ、ベース電極、半導体基板上に直接形成された、第1層の微細配線等を形成することができる。

【0024】本発明の半導体装置の製造方法は、半導体基板上に第1の絶縁膜を介して第1の金属膜をパターン形成し、第1の金属膜がパターン形成された半導体基板上に第2の絶縁膜を形成し、第2の絶縁膜を貫通して前記第1の金属膜に達するコンタクトホールを形成し、コンタクトホールの内部と前記第2の絶縁膜の上部表面とをバリヤメタルで被覆し、このバリヤメタルの表面をシードメタルでさらに被覆し、シードメタルの表面をよう素で被覆する前処理の後、前記シードメタルを陰極として電気メッキすることにより、シードメタルに積層してコンタクトホールを埋め込む第2の金属膜を形成し、溝部の外に堆積したバリヤメタルとシードメタルと第2の金属膜とを除去し、前記コンタクトホールの上部に露出した第2の金属膜上に第3の金属膜をパターン形成することを特徴とする。

【0025】このようにして半導体基板上に絶縁膜を介して形成された多層配線間を接続するコンタクトホールに金属プラグを埋め込むことができる。またこのとき前記第1の金属膜を半導体基板上に直接パターン形成すれば、半導体基板上に形成された素子の電極と多層配線間を接続するコンタクトホールの金属プラグを形成することができる。

【0026】好ましくは前記シードメタルと金属膜は、Cu、Ag、Pd、Alのいずれかであり、また前記バ

リヤメタルはW、WSiN、WN、TiN、TiW、Zr、ZrN、Ta、TaNのいずれかであることを特徴とする。

【0027】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1に基づき、本発明の第1の実施の形態に係るメッキ金属埋め込み配線の形成方法について説明する。

【0028】例えばシリコンからなる半導体基板1の上に、CVD法を用いて埋め込み配線の下地となるSiO₂膜2を形成し、プラズマCVD法により埋め込み配線に用いる厚さ1μmのプラズマSiO₂膜3を形成する。プラズマSiO₂膜3の上にレジスト膜4を形成し、通常的光リソグラフィ法を用いて、埋め込み配線の形成領域に所定のパターンを開口する。引き続き前記レジスト膜4に形成された配線パターンをマスクとして、図1(a)に示すように、通常のRIE法により埋め込み配線の形状を定める深さ0.8μmの配線溝5を形成した。

【0029】O₂プラズマアッシング法により、RIEのマスクとして用いた前記レジスト膜4を除去した後、スパッタ法を用いて前記配線溝5の内部を含むプラズマSiO₂膜の全表面に厚さ0.1μmのW膜からなるバリヤメタル6を形成した。さらにCuメッキを行う前に、蒸着法、スパッタ法、またはCVD法を用いてメッキ成長の核となるシードメタル(図示せず)として、厚さ数十nm程度のCuの薄膜を前記バリヤメタル6の上に堆積した。

【0030】さらにCuメッキの前処理として、次の第1、第2の方法を用いて前記シードメタル上による素被着層を形成した。第1の方法は、前記シードメタルとなるCuの薄膜を堆積した後、前記堆積に用いた蒸着、スパッタ、またはCVDチャンバーを引き続き真空状態にして、前記シードメタル上に厚さ数原子層の、よう素を蒸着するものである。

【0031】第2の方法は、前記シードメタルとなるCuの薄膜を堆積した後、半導体基板1を大気開放し、大気との反応により生じたシードメタルの表面酸化物質を、1%のHF溶液または希硫酸からなるエッチング液に約30秒浸漬し除去する。引き続き、前記エッチングにより表面酸化物質が除去されたシードメタルの表面が大気に触れないように、前記エッチング液をモル濃度が1mMのKI溶液又はHI溶液に置換し、シードメタルの表面に厚さ数原子層の、よう素被着層を形成する。ここに前記KI溶液とHI溶液による前処理可能なモル濃度の範囲は、1μM乃至1Mである。

【0032】上記第1、第2の方法を用いてシードメタルに、よう素被着層を被覆した後はよう素被着層が疎水場を形成し、パッシベーション膜として作用するので、上記の工程を経た半導体基板を大気中に開放しても、次

に行われるメッキ工程には何等悪影響を生じることはない。

【0033】次に例えばモル濃度5mMのCuSO₄からなる、よう素を含有しないメッキ液と通常のメッキ条件を用いて、図1(b)に示すように厚さ1.0μmのCuからなる金属膜7を配線材料として形成した。

【0034】次に図1(c)に示すように、CMP法により配線溝5以外に存在するCuからなる金属膜7を除去し所定のパターンを有する金属埋め込み配線を形成した。本第1の実施の形態において、下地絶縁膜としてプラズマSiO₂膜、配線金属材料としてスパッタしたW膜からなるバリヤメタル上にメッキ法で形成したCu膜を用い、さらにより素被着層の形成に蒸着法、またはよう素を含む薬液に浸漬する方法を用いた。

【0035】ここにスパッタWからなるバリヤメタルは、本第1の実施の形態に示す構造では、プラズマSiO₂膜3との密着性を高める役割を果たしている。これを電極として直接Cuメッキを行うことも不可能ではないが、上記したようにWの上にさらにメッキ成長の核として、あらかじめスパッタ法等により密着性に優れたCuからなるシードメタルを形成すれば、メッキ成長した金属膜7の品質が向上しプラズマSiO₂膜3と金属膜7との密着性をさらに高めることができる。

【0036】また、Cuメッキ液としてCuSO₄溶液、不要配線材料の除去法としてCMP法をそれぞれ用いたが、例えばCuSO₄溶液の代わりに5mMのAgClO₄溶液を用いて、Agのメッキ配線を形成する等、絶縁膜、配線材料、薬液、前処理法、不要配線材料除去法等につき他の材料や方法を用いることも可能である。また下地絶縁膜に形成された配線溝の深さや、被着した配線金属材料の膜厚、薬液の濃度等も、必ずしも本第1の実施の形態に示した値でなくてもよい。

【0037】ここで図2を用いてCuメッキを行う前に、よう素含有薬液による前処理を行う効果について、その化学的根拠を明らかにする。図2(a)において、6はメッキ金属を堆積する負側電極となるCuのシードメタルで被覆されたバリヤメタルであり、8はよう素含有薬液(KIまたはHI溶液)に短時間浸漬することにより、前記負側電極表面に隙間なく被着した厚さ1原子層乃至数原子層のよう素被着層である。7aはメッキ液中のCuイオン、9は前記Cuイオン(カチオン)とイオン結合している硫酸基からなるアニオンまたは配位結合しているキレート剤である。

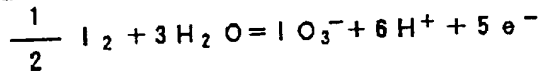
【0038】図2(a)に示すように、よう素原子層を被着した負側電極上において、前記よう素原子が酸化(I O₂⁻に変化してメッキ液に溶出する)されずにそのまま吸着状態を維持する特定領域の電位を前記電極に付与して、メッキ液中に含まれるCuイオンの電界析出(電気メッキ)を行えば、前記電極表面を覆うよう素原子8とCuイオン7aとの間に強い相互作用が存在する

ため、Cuイオン7aはアニオン9から分離して1乃至数原子層のよう素被着層8を通り抜ける。

【0039】さらに具体的に説明すれば次の通りである。、メッキ液のpHが0の場合、電極の電位が+1.195V以上では次の反応を生じ、前記よう素原子が酸化し IO_3^- となってメッキ液中に溶出する。

【0040】

【数1】



【0041】しかしこの電位以下では上記の反応を生じることはないので、上記したようよう素被着層を維持したままCuイオンの電解析出を行うためには、メッキ液のpHが0の場合メッキ電極の電位は1.195V以下としなければならない。

【0042】このとき図2(b)に示すように、Cuイオン7aに比べてよう素との相互作用が小さい硫酸基またはキレート剤からなるアニオン9は、よう素被着層8を通り抜けることができないので、矢印に示すようにメッキ液中に取り残され、よう素被着層8を通過したCuイオン7aのみが、負側電極であるバリヤメタル6を被覆するCuシードメタルとよう素被着層8との間に析出し、Cuからなる金属膜7の析出反応が進行する。

【0043】このようにして、W膜からなるバリヤメタル6を被覆するCuシードメタルの上には高純度のCuが欠陥を生じることなく析出し、前記シードメタル上のCuからなる金属膜7の表面には常によよう素被着層8が存在し続けることになる。

【0044】さきに従来の光沢剤の作用について説明したように、Cuメッキ面の表面に吸着したよう素被着層8は、メッキ面に垂直方向の成長を抑制し、メッキ面に沿ったCuからなる金属膜7の成長を促進する。したがって、よう素被着層8の存在によりメッキ面の平滑性はいちじるしく向上する。また、前記よう素被着層8は常に金属膜7の表面上にあるので、よう素が不純物として前記金属膜7の中に取り込まれることはない。

【0045】よう素被着層の作用は次のように要約される。よう素よりもCuに対する相互作用が小さいメッキ液中のアニオン等の不純物に対して、最上層に存在するよう素被着層が障壁として作用し、前記アニオン等が排除され、メッキ後のCuの純度が向上する。また上記の作用が加わることにより、メッキ液中のイオン拡散の不均一性に基づくCu析出速度のイオン濃度依存性が緩和され、Cu中の空洞の発生が抑制される。

【0046】このほかメッキ後、或いはメッキ中の処理としてアノード溶解を行う場合、メッキ後のよう素の被覆率（表面に吸着されたよう素原子数/配線材料の表面原子数）が一定値以上であればよう素による疎水場を形成し、この疎水場の形成により水酸化物イオンの金属膜

表面への侵入が阻止される。このため析出したCu金属膜表面での酸化反応が抑制され、溶解反応のみを選択的に行うことができるようになり、メッキ金属Cu表面の凸部が溶解して表面段差の低減を図ることができる。

【0047】ここにアノード溶解とは、メッキに用いた電極に印加する電圧の極性を反転することにより、メッキにより陰極（本実施の形態ではバリヤメタルを被覆するシードメタル）上に析出したCuからなる金属膜をメッキ液中に再度溶出させる操作であって、例えば析出面の凸部においてメッキ金属原子の配位数が小さいため選択的に溶解が進み、前記金属膜表面の平坦性を改善することができる。

【0048】またよう素による疎水場の形成のため、メッキ前の大気開放時におけるシードメタルの酸化や、メッキ後の大気放置下におけるメッキ金属の腐食反応が抑制される効果がある。

【0049】なお以上にのべた、よう素含有薬液にメッキ電極を短時間浸漬する前処理の効果は、CuSO₄溶液を用いたCuメッキのみならず、AgClO₃溶液を用いたAgメッキについてもほぼ同様に生じことを確認している。このほかメッキ可能なPd、Alについても良好な結果が得られる。

【0050】次に図3に基づき本発明の第2の実施の形態について説明する。例えばシリコンからなる半導体基板1の上に、CVD法を用いて埋め込み配線の地下となるSiO₂膜2を形成する。通常の蒸着法又はスパッタ法とフォトリソグラフィ法を用いて、Cuからなる第1層の金属配線を形成し、所定の位置に前記第1層配線と上層の配線とを接続するCuからなるコンタクトパッド10を形成する。

【0051】次に1層配線と2層配線の層間絶縁膜として、前記コンタクトパッド10を含む第1層配線上に厚さ1μmのプラズマSiO₂膜3を形成する。このとき第1層配線によりプラズマSiO₂膜3の表面に生じた凹凸は、通常のCMP法、又はエッチバック法を用いて平坦化する。

【0052】プラズマSiO₂膜3の上にレジスト膜（図示せず）を形成し、通常のフォトリソグラフィ法を用いて、前記コンタクトパッド10の上の所定位置にコンタクトホールのパターンを開口する。引き続き前記レジスト膜に形成されたコンタクトホールのパターンをマスクとして、通常のRIE法により平坦化されたプラズマSiO₂膜3を貫通して前記コンタクトパッド10に達するコンタクトホールを形成した。

【0053】O₂プラズマアッシング法により、RIEのマスクとして用いた前記レジスト膜を除去した後、図3に示すように、前記コンタクトホールの内部を含むプラズマSiO₂膜の全表面に、厚さ0.1μmのW膜からなるバリヤメタル6をスパッタ法を用いて形成し、これを厚さ数十nmのCuのシードメタル（図示せず）で

さらに被覆した。

【0054】第1の実施の形態にのべた第1、第2の方法を用いて、前記シード金属の全表面によう素被着層を形成した後、例えばモル濃度5mMのCuSO₄からなるよう素を含まないメッキ液を用いて、前記コンタクトホールを埋め込むプラグとして厚さ1.0μmのCuからなる金属膜7を形成した。

【0055】次に再度CMP法によりコンタクトホールの外に存在するWからなるバリヤメタル6、及びCuからなるシードメタルと金属膜7を除去し、プラズマSiO₂膜の表面に露出した金属膜7からなるプラグ上に、Cuからなる第2層配線のコンタクトパッド11を通常の蒸着法又はスパッタ法と、フォトリソグラフィ法とを用いて形成し、絶縁膜2の上の第1層配線と第2層配線を接続するコンタクト用のプラグを完成した。

【0056】第2の実施の形態において、Wからなるバリヤメタル6は、第1の実施の形態でのべたと同様プラズマSiO₂3膜との密着性を高める効果があるが、ここではさらに、コンタクトパッド10とコンタクトプラグ7との間の金属材料の相互拡散を防止し、配線の耐熱性と信頼性を向上する役割を果たしている。Wからなるバリヤメタル6をそのままメッキ電極として用いることもできるが、シードメタルをさらに被覆することにより、メッキにより成長した金属膜7の品質が向上し密着性もさらに高められる。

【0057】また本第2の実施の形態において、第1層及び第2層配線とそのコンタクトパッド10、11をCuで形成する場合について説明したが、例えばAl等の他の金属を用いることもできる。また第1層及び第2層配線とそのコンタクトパッド10、11がメッキ法により形成可能であることは、前記第1の実施の形態を参照すれば明らかである。

【0058】さらに第2の実施の形態の変形例として、下層のコンタクトパッドの上に上層のメッキ配線の配線溝を形成する際、この上層の配線溝の底にあらかじめ前記下層のコンタクトパッドと接続するコンタクトホールを開口し、このコンタクトホールを含む前記配線溝をバリアメタルとシードメタルで被覆し、メッキ法により上層配線、及び上層配線と下層配線とを接続するコンタクトプラグとを、一回のメッキ工程で形成することも可能である。このように複雑な立体構造を有する半導体基板上の凹部に対して確実に金属を埋め込むことは、他の方法ではいちじるしく困難である。

【0059】また第2の実施の形態において、コンタクトパッド10は絶縁膜2の上に形成したが、図4に示すように、これを半導体基板1に形成された素子と配線とを接続するためのオーミック電極として、下地拡散層1aの上に直接形成することもできる。このとき下地拡散層1aとコンタクトパッド10の間には、半導体基板1との相互拡散を防止するため、TiSi、TiSi

N、TiN等のバリヤメタルを介在させる。

【0060】次に図5、図6に基づき、本発明の第3の実施の形態に係る金属配線の形成方法について説明する。図5(a)に示すように、シリコンからなる半導体基板1の上にプラズマSiO₂からなる絶縁膜2を形成し、この絶縁膜2の上に通常のスパッタ法を用いて厚さ0.1μmのWからなるバリヤメタル6とAgからなるシードメタル(図示せず)を形成し、表面に厚さ0.8μmのレジスト膜12を被覆した後、通常のフォトリソグラフィを用いて前記レジスト膜12を貫通しシードメタル6に達する配線溝13を形成した。

【0061】第1の実施の形態にのべた第1、第2の方法を用いて、少なくとも前記Agシードメタルの表面によう素被着層(図示せず)を形成した後、例えばモル濃度が5mMのAgClO₄溶液等のよう素を含有しないメッキ液を用い、バリヤメタル6を陰極として通常のメッキ法により、図5(b)に示すように、Agからなる厚さ1.0μmの金属膜7を形成した。

【0062】次に図5(c)に示すように、通常の研磨法により配線溝13の外に形成された金属膜7を除去し、通常のRIE法を用いてレジスト膜12を除去する。さらにイオンミリング法を用いてWからなるバリヤメタル6とシードメタルを除去することにより、図6に示すようにAgからなる金属配線を絶縁膜2を介して半導体基板1の上に形成することができた。

【0063】なお第3の実施の形態において、金属膜7からなる配線を絶縁膜2の上に形成したが、図7に示すように、半導体基板1の上に直接バリヤメタル6、及びシードメタルと金属膜7からなる微細配線、または微細な電極を形成することもできる。

【0064】図6に示すメッキ金属配線からなる構造は、半導体基板上に絶縁膜を介して形成された第1層配線として用いられるばかりでなく、シリコンMOSFETまたは化合物半導体基板上に形成されたMISFETのゲート電極として用いることができる。このときメッキ法により、ゲート長に対してゲートの高さが大きいゲート電極の断面形状とすれば、ゲート抵抗を大幅に低減することができるので高性能の素子が得られる。

【0065】半導体基板上に直接形成された図7に示すメッキ金属配線は、サファイア等の絶縁性の基板、または半絶縁性GaAs等の化合物半導体基板上の第1層配線として用いられるばかりでなく、低抵抗なMESFETのゲート電極または低抵抗なバイポーラトランジスタのエミッタ、ベース電極として用いることができる。

【0066】なお第3の実施の形態において、バリヤメタルはメッキ配線の金属膜を絶縁膜上に形成する場合には密着性の改善に役立ち、半導体基板上に直接形成する場合には半導体と前記金属膜との相互拡散の防止に役立つ。またMESFETのゲート電極とする場合には、半導体基板上のチャネル層との間に良好なショットキー障

壁を形成することができる。

【0067】本第3の実施の形態において、配線金属材料としてスパッタW膜上のシードメタル及びメッキ配線の金属膜としてAgを、第2の方法でよう素被着層を形成する際の薬液としてKIを、金属膜のメッキとしてAgClO₂を、不要配線材除去に通常の研磨法をそれぞれ用いたが、他の配線材、薬液、前処理法、不要配線材除去法を用いることも可能である。またレジスト膜の厚さや、被着した金属膜の膜厚、薬液の濃度等についても、必ずしも本第3の実施の形態に示した値でなくてもよい。

【0068】なお本発明は上記の実施の形態に限定されることはない。前記第1乃至第3の実施の形態において、メッキやシードメタルの材料として主成分がCu、Ag、Pd、Alからなる金属を用いることができる。またバリヤメタルの材料としてとしてWの他にWSiN、WN、TiN、TiW、Zr、ZrN、Ta、Ta₂Nを用いることができる。その他本発明の要旨を逸脱しない範囲で、種々に変形して実施することができる。

【0069】

【発明の効果】 上述したように、メッキ法により半導体基板上に形成された凹部に金属膜を埋め込む方法を用いて、断面積の大きい耐熱性に優れた電力用半導体装置の配線や、半導体装置の微細配線、微細電極等を形成する際、陰極の表面にあらかじめよう素被着層を設けることにより、凹部に埋め込まれた金属の純度と緻密性をいちじるしく向上することができる。またこの方法を用いれば、凹部に埋め込まれた金属中に空洞部を発生する問題が完全に回避される。

【0070】前記よう素被着層を設けたメッキを行った後、または前記メッキ中の処理としてアノード溶解を行えば、メッキ金属表面の凸部が選択的に溶出するので、表面段差のばらつきが抑制される。またメッキ後よう素の被覆率が一定量以上であれば疎水場を形成し、大気放置下による腐食反応が抑制される。このように、陰極と

なるシードメタルの表面にあらかじめよう素被着層を設けることにより、歩留まりと信頼性の高いメッキ金属埋め込み法による半導体装置の配線や電極を形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る埋め込み金属配線の工程断面図。

【図2】本発明のよう素被着膜の作用を示す断面図。

【図3】本発明の第2の実施の形態に係る埋め込み金属配線の工程断面図。

【図4】本発明の第2の実施の形態に係る埋め込み金属配線の変形例の工程断面図。

【図5】本発明の第3の実施の形態に係る金属配線の工程断面図。

【図6】本発明の第3の実施の形態に係る金属配線の断面図。

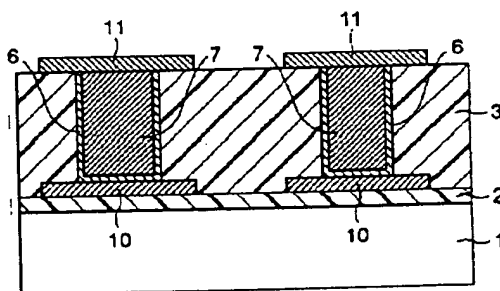
【図7】本発明の第3の実施の形態に係る金属配線の変形例の断面図。

【図8】従来の埋め込み金属配線の問題点を示す工程断面図。

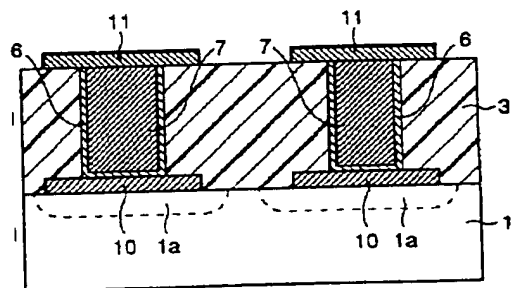
【符号の説明】

- 1…半導体基板
- 1a…拡散層
- 2、3…絶縁膜
- 4、12…レジスト膜
- 5、13…配線溝
- 6…バリヤメタル
- 6a…金属電極膜
- 7…金属膜
- 8…よう素被着層
- 9…アニオン
- 10…第1層のコンタクトパッド
- 11…第2層のコンタクトパッド
- 14…埋め込み金属中の空洞

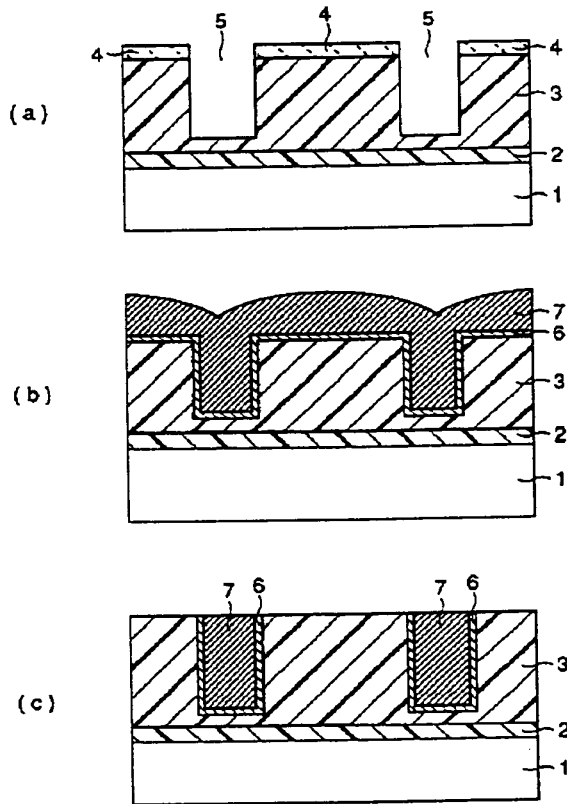
【図3】



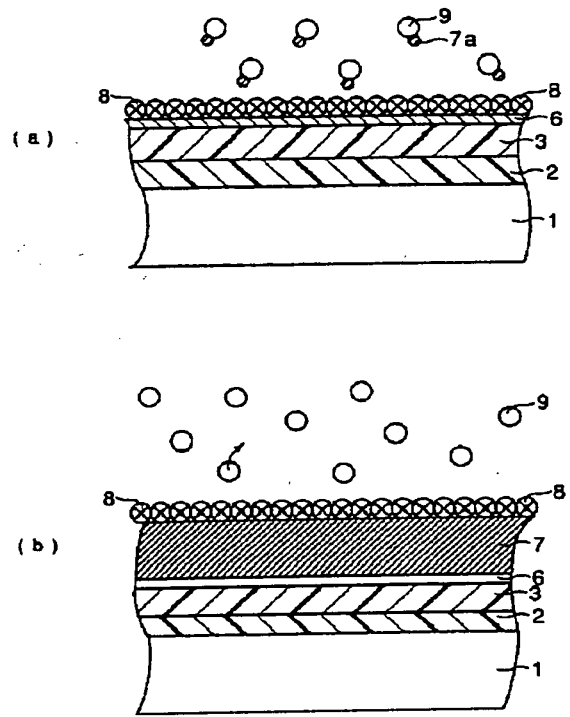
【図4】



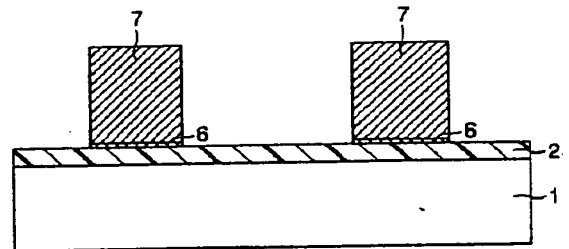
【図 1】



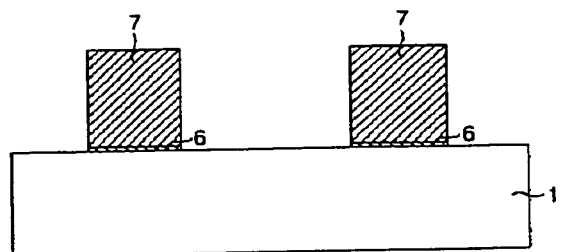
【図 2】



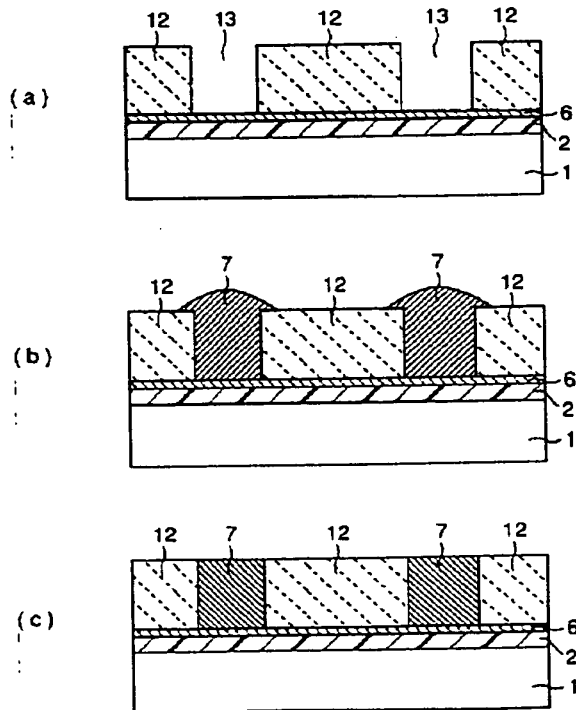
【図 6】



【図 7】



【図 5】



【図 8】

